



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11003999 A**(43) Date of publication of application: **06 . 01 . 99**

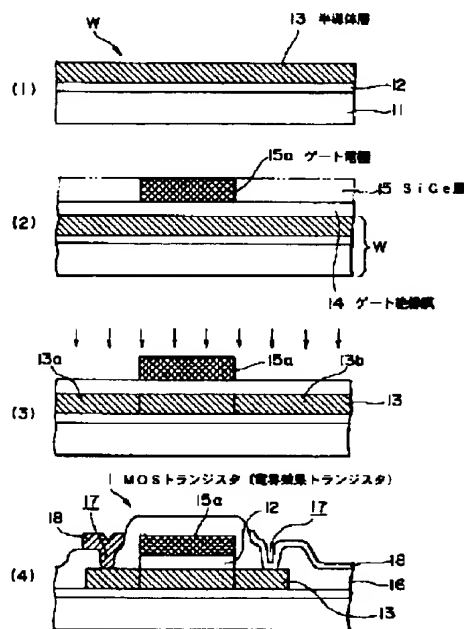
(51) Int. Cl.

H01L 29/786**H01L 29/78****H01L 21/336**(21) Application number: **09156211**(71) Applicant: **SONY CORP**(22) Date of filing: **13 . 06 . 97**(72) Inventor: **NOGUCHI TAKASHI****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a field effect transistor where a threshold is controlled satisfactorily by means of the composition of a SiGe layer and to promote microminiaturization of an insulating gate-type field effect transistor using a SiGe gate.

SOLUTION: A gate insulating film 14 is formed by thermal oxidation in an oxidizing gas atmosphere on a semiconductor layer 13, and a SiGe layer 15 is formed on the gate insulating film 14 in an evacuated atmosphere where oxidizing gas is removed by a sputtering method. The SiGe layer 15 is patterned, and a gate electrode 15a is formed. A source 13a and a drain 13b are formed and the MOS transistor (insulating gate-type field effect transistor) 1 is formed. Thus, controllability of the composition ratio of Si and Ge in the SiGe layer 15 is improved, by forming the SiGe layer 15 constituting the gate electrode 15a by the sputtering method.

COPYRIGHT: (C)1999,JPO



(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/786
29/78
21/336

H 0 1 L 29/78

6 1 8 B
3 0 1 G
6 1 7 M
6 1 7 V
6 1 8 A

審査請求 未請求 請求項の数10 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平9-156211

(22) 出願日 平成9年(1997) 6月13日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野口 隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

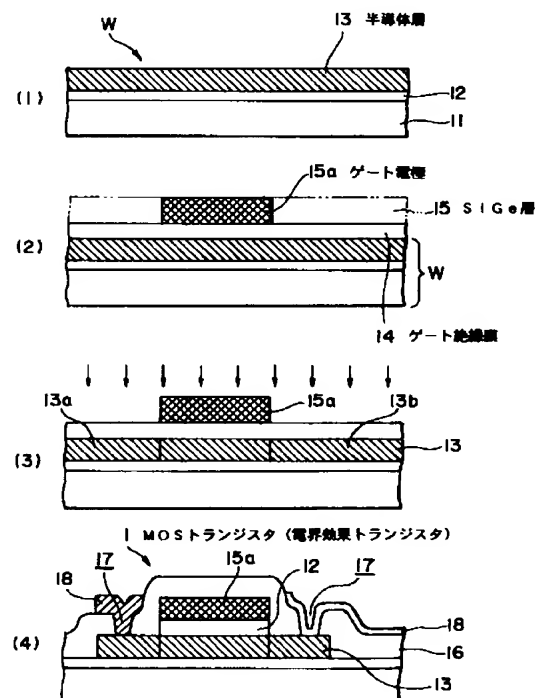
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 CVD法による $\text{Si}_{1-x}\text{Ge}_x$ 層の成膜では $\text{Si}_{1-x}\text{Ge}_x$ の組成比の制御性が十分ではなく、 $\text{Si}_{1-x}\text{Ge}_x$ 層を構成要素に用いた半導体装置の特性が不安定になる。

【解決手段】 半導体層13上に酸化性ガス雰囲気中における熱酸化によってゲート絶縁膜14を成膜した後、酸化性ガスを除去した真空雰囲気中においてゲート絶縁膜14上にスパッタ法によって SiGe 層15を成膜する。 SiGe 層15をパターニングしてゲート電極15aを形成した後、ソース13a及びドレイン13bを形成してMOSトランジスタ（絶縁ゲート型の電界効果トランジスタ）1を形成する。ゲート電極15aを構成する SiGe 層15をスパッタ法によって成膜することで、 SiGe 層15におけるSiとGeとの組成比の制御性を向上させる。



【特許請求の範囲】

【請求項 1】 絶縁ゲート型の電界効果トランジスタを備えた半導体装置の製造方法であって、前記電界効果トランジスタのゲート電極は、スパッタ法によって成膜されたシリコンゲルマニウム層を用いて形成されること、

を特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

酸化性ガス雰囲気中における熱酸化によって、半導体層上にゲート絶縁膜を成膜した後、

前記酸化性ガスを除去して形成した真空雰囲気中において、前記ゲート絶縁膜上に前記シリコンゲルマニウム層を連続して成膜すること、

を特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、

真空雰囲気中におけるスパッタ法によって、半導体層上に下層から順にゲート絶縁膜と前記シリコンゲルマニウム層とを連続して成膜すること、

を特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、

シリコンかなる半導体層上にゲート絶縁膜を成膜した後、前記真空雰囲気中において前記シリコンゲルマニウム層上に当該シリコンゲルマニウム層に対して連続させてシリコン層を成膜し、

前記シリコンゲルマニウム層と前記シリコン層とをパターンニングしてゲート電極を形成した後、当該ゲート電極を覆う状態で前記半導体層上に金属膜を成膜し、熱処理によって、前記シリコン層及び前記半導体層に対して前記金属膜を反応させてシリサイド層を形成すること、

を特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 記載の半導体装置の製造方法において、

前記シリコンゲルマニウム層は、絶縁性基板上に半導体層及びゲート絶縁膜を介して成膜されること、

を特徴とする半導体装置の製造方法。

【請求項 6】 薄膜トランジスタを備えた半導体装置の製造方法において、

前記薄膜トランジスタのチャネル層は、スパッタ法によって成膜したシリコンゲルマニウム層を用いて形成されること、

を特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、

真空雰囲気中におけるスパッタ法によって、絶縁性基板上に下層から順に前記シリコンゲルマニウム層とシリコン層とを連続して成膜し、当該シリコンゲルマニウム層

と当該シリコン層とからなるチャネル層を形成すること、

を特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、

前記チャネル層を形成した後、前記真空雰囲気中に酸化性ガスを供給し、前記シリコン層表面を熱酸化させてゲート絶縁膜を形成し、

前記酸化性ガスを除去して形成した真空雰囲気中において、前記ゲート絶縁膜上にスパッタ法によってゲート電極層を形成すること、

を特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 記載の半導体装置の製造方法において、

前記チャネル層を形成した後、前記真空雰囲気中におけるスパッタ法によって、前記シリコン層上に下層から順にゲート絶縁膜とゲート電極層とを連続して成膜すること、

を特徴とする半導体装置の製造方法。

20 【請求項 10】 請求項 6 記載の半導体装置の製造方法において、

真空雰囲気中におけるスパッタ法によって、ゲート絶縁膜上に下層から順にシリコン層と前記シリコンゲルマニウム層とを連続して成膜し、当該シリコンゲルマニウム層と当該シリコン層とからなるチャネル層を形成すること、

を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

30 【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に絶縁ゲート型の電界効果トランジスタや薄膜トランジスタを備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化にともない微細化が進んだ MOS トランジスタにおいては、短チャネル効果を抑制するために表面チャネル型が採用されている。ところが、P チャネルの MOS トランジスタを表面チャネル型とするために、P 型の不純物を含有するポリシリコンからなるゲート電極を用いた場合には、チャネル濃度が低い領域でしきい値が下がりすぎ、MOS トランジスタをエンハンスメント型に保つことができなくなる傾向にある。特に、完全空乏型の SOI 基板を用いた薄膜トランジスタでは、チャネル濃度によってしきい値を制御することが困難となり、上記傾向が顕著になる。

【0003】そこで、「IEDM, 90 (1990)

(米) p. 253-256」や「IEEE ELECTRON DEVICE LETTERS, vol. 12, NO. 10 (1991-10)

(米) p. 533-535」記載のように、P 型の不純

物を含有するシリコン-ゲルマニウム ($\text{Si}_{1-x}\text{Ge}_x$ 、以下 SiGe と記す) でゲート電極を構成することが提案された。上記 P^+SiGe は、シリコンよりもバンドギャップが低く、1V以下の低電圧の範囲においてその組成によってフェルミレベルを変化させることができる。このため、図7に示すように、 P^+SiGe からなるゲート電極では、その組成によって仕事関数が制御される。そして、「IEDM, 93 (1993)

(米) p. 727-728」記載のように、ゲート材料に P^+SiGe を用いることで仕事関数によってしきい値を制御するようにした、ゲート線幅が $0.1\mu\text{m} \sim 0.25\mu\text{m}$ の MOS トランジスタの報告が活発化している。

【0004】さらに、薄膜トランジスタにおいては、チャネル部を SiGe で構成することによってより高いキャリアの移動度を確保することができる。この場合、 $\text{Si}_{1-x}\text{Ge}_x$ において、 $x=0.2 \sim 0.3$ の組成にすることによって、高いキャリア移動度が得られる。

【0005】以上のように、半導体装置の構成材料として SiGe は重要になってきている。そして、例えば、上記 SiGe を用いた半導体装置として SiGe 層からなるゲート電極を有する MOS トランジスタを製造する場合には、まず、半導体基板上にゲート絶縁膜を成膜する。次に、LP-CVD法やプラズマCVD法によって、上記ゲート絶縁膜上に SiGe 層を形成した後、この SiGe 層をパターニングしてゲート電極を形成する。

【0006】

【発明が解決しようとする課題】しかし、上記半導体装置の製造方法では、CVD法によって SiGe 層を成膜していることから、組成の制御性が悪い。また、特にプラズマCVD法によって成膜した SiGe 層には、不必要な水分が成膜時に取り込まれてしまう。このため、この SiGe 層からなるゲート電極を有する MOS トランジスタでは、十分なしきい値の制御性を得ることができない。これは、上記 MOS トランジスタの微細化の促進を妨げる要因になっている。また、この SiGe 層を用いたチャネル部を有する薄膜トランジスタでは、キャリアの移動度の十分な制御性を得ることができない。これは、上記薄膜トランジスタにおける動作速度の高速化を妨げる要因になっている。

【0007】

【課題を解決するための手段】上記課題を解決するための本発明の半導体装置の製造方法は、半導体装置の構成材料として用いられる SiGe 層をスパッタ法によって成膜することを特徴としている。特に、請求項1に係る方法では、絶縁ゲート型の電界効果トランジスタのゲート電極を、上記 SiGe 層で形成する。

【0008】上記請求項1に係る方法によれば、均一に混合された合金をターゲットにしてスパッタするとこの

ターゲットと同一組成のスパッタ膜が得られることが経験的に知られているスパッタ法によってゲート電極を構成する SiGe 層が成膜される。このため、組成が精度良く制御された SiGe 層によってゲート電極が構成されることになる。したがって、 SiGe 層の組成によってしきい値が良く制御された電界効果トランジスタが得られる。

【0009】また、請求項6に係る方法では、薄膜トランジスタのチャネル層を、上記 SiGe 層で形成する。

【0010】上記請求項6に係る方法によれば、スパッタ法によってチャネル部を構成する SiGe 層を成膜することで、上記と同様に組成が精度良く制御された SiGe 層によってチャネル層が構成されることになる。したがって、 SiGe 層の組成によってキャリア移動度が良く制御された薄膜トランジスタが得られる。

【0011】

【発明の実施の形態】以下、本発明を適用した半導体装置の製造方法の実施の形態を説明する。図2には、一般的なスパッタ成膜に用いられる成膜装置の一例を示す構成図を示した。以下の各実施形態におけるスパッタ成膜では、一例としてこの図に示したスパッタ成膜装置2が用いられることとする。この成膜装置2は、内部が真空雰囲気に保たれる成膜室21を有している。この成膜室21内には、成膜基板Wと共に成膜基板Wと対向する状態で成膜膜種と同一成分のターゲット23が配置される。また、この成膜装置2においては、排気系24にターボポンプを用いることでベース圧力が高真空 (10^{-6}Pa 程度以下) となり、高純度の膜をスループット良く成膜することが出来る。さらに、スパッタリング電源22はターゲットの抵抗が低ければRF電源に換えてDC電源を用いても良い。

【0012】また、図3には、各実施形態で用いる製造装置の概略構成図を示した。この図に示す製造装置3は、内部を真空雰囲気に保つことができる第1の成膜室31と第2の成膜室32とが、ゲートバルブ33を介して接続されてなるものである。上記第1の成膜室31とは、例えばRTO (Rapid Thermal Oxidation) もしくはRTON (Rapid Thermal Oxy-Nitridation) 室であり、第2の成膜室32とは、例えば図2に示したスパッタ成膜装置の成膜室(21)であることとする。上記、第1の成膜室31と第2の成膜室32とは、通常ゲートバルブ33で分離されており、各々の室内は、真空ポンプでベース圧力約 10^{-6}Pa の真空雰囲気に保たれる。そして、各々の室内が同程度の真空雰囲気に保たれた状態でゲートバルブ33を開き、第1の成膜室31と第2の成膜室32との間において成膜基板Wの搬送を行う。

【0013】(第1実施形態) 図1は、第1実施形態を説明するための断面工程図であり、以下にこの図1と上記図2及び図3とを用いて請求項1及び請求項2の発明を適用した絶縁ゲート型の電界効果トランジスタ(以

下、電界効果トランジスタを代表してMOSトランジスタと記す)を備えた半導体装置の製造方法の第1実施形態を説明する。まず、図1(1)に示すように、シリコン基板11上に酸化シリコンからなる絶縁層12が成膜され、この絶縁層12上に単結晶シリコンからなる半導体層13が成膜された成膜基板Wを用意する。

【0014】次に、図1(2)に示すように、この成膜基板W上に、RTOによって酸化シリコンからなるゲート絶縁膜14を成膜する。このゲート絶縁膜14の成膜は、上記第1の成膜室31(図3参照)内で成膜する。そして、上記RTOを行う場合の条件の一例としては、ドライ酸素(O₂)雰囲気中に保たれた第1の成膜室31内において、950℃、30秒とし、これによって、膜厚4nmの上記ゲート絶縁膜14を得る。ここでは、次にこのゲート絶縁膜14上に成膜するSiGe層中から当該ゲート絶縁膜14中にホウ素(B)が混入してMOSトランジスタのしきい値が変動することを防止するために、酸化窒素(N₂O)中におけるRTONによって酸化窒化シリコンからなるゲート絶縁膜を成膜しても良い。

【0015】そして、上記第1の成膜室31内における上記ゲート絶縁膜14の成膜が終了した後、例えば第1の成膜室31内の酸化性ガスを除去し、さらに第1の成膜室31内と第2の成膜室32内とを同程度の真空状態に保つ。この状態で、ゲートバルブ33を開いて上記成膜基板Wを第1の成膜室31内から第2の成膜室32内へ搬送する。これによって、成膜基板Wを大気中に放出してゲート絶縁膜14表面へダストを付着させることなく、成膜基板Wが第1の成膜室31内から第2の成膜室32内へ搬送される。次に、ゲートバルブ33を閉じて第2の成膜室32を分離する。

【0016】そして、十分な真空状態に保たれた第2の成膜室32内において、スパッタ法によってゲート絶縁膜14上にSiGe層15を成膜する。ここでは、シリコンとゲルマニウムとの組成が制御されたターゲット、例えば焼結体(純度99.99%以上)やインゴット(純度99.9999%)を用いることによって、所定の組成のSiGe層15を得る。上記スパッタにおける成膜条件の一例(成膜基板8インチ対応)としては、スパッタリングガス及び流量:アルゴン(Ar)=100sccm、スパッタ電力(RF):800W、成膜雰囲気内ガス圧力:1.3Pa、成膜温度:200℃、成膜膜厚:80nm条件に設定する。

【0017】尚、上記SiGe層15の成膜では、予め所定量の不純物(例えばホウ素)を上記ターゲット中に混入させておいても良い。この場合、スパッタリング電源(図2参照)25には、RF電源に換えてDC電源を用いることができる。

【0018】以上の後、SiGe層15をパターンニングして当該SiGe層15からなるゲート電極15aを形

成する。

【0019】その後、図1(3)に示すように、ゲート電極15aをマスクにしたイオン注入によって、ソース13a及びドレイン13bを形成するための不純物をセルフアラインで半導体層13中に導入する。ここでは、例えば、二フッ化ホウ素(BF₂)やホウ素(B)またはホウ素とシリコン等のP型不純物を、 3×10^{15} 個/cm²程度導入する。

【0020】次いで、アニール処理を施し、上記不純物の活性化と共に、SiGe層15の固相結晶化を行う。この際、平坦で大粒径かつ低抵抗なSiGe層15が得られるように、600℃程度の熱処理とRTA(Rapid Thermal Annealing)もしくはELA(Excimer Laser Annealing)等の急速熱処理との2ステップアニールを行うことが有効である。

【0021】その後、図1(4)に示すように、通常の工程にしたがって、ゲート電極15aをマスクにしたゲート絶縁膜14のエッチング、半導体層13のパターニング、層間絶縁膜16の成膜、コンタクトホール17及び配線18の形成を行い、MOSトランジスタ1を完成させる。

【0022】上記製造方法によれば、ゲート電極15aが、ミクロ的に均一に組成が混合されたゲート電極を用いたスパッタ法によって成膜されることで精度良く組成が制御されたSiGe層15で構成されるため、SiGe層の組成によってしきい値が良く制御されたMOSトランジスタ1が得られる。しかも、CVD法によるSiGe層の成膜では、成膜温度を500℃程度にまで上昇させる必要があるが、上記スパッタ法によるSiGe層の成膜では200℃程度の成膜温度で良く、SiGe層の成膜において成膜基板Wに対する耐熱要求温度が下げられる。これは、例えば、上記成膜基板Wに絶縁性基板を用いた場合、当該絶縁性基板に高融点ガラスを用いる必要がなくなり、半導体装置の製造コストを抑えることが可能になる。

【0023】さらに、スパッタ法によってSiGe層15を成膜することで、反応ガス性ガスを用いることなくSiGe層15を得ることが可能になる。したがって、SiH₄やSiGe₄等の反応性ガスを用いる必要があるCVD法によるSiGe層の成膜と比較して、安全性に著しく優れ、その防護のための機能を付ける必要がなくなり成膜装置の装置構成が単純化される。

【0024】また、成膜室内の汚染が少ないスパッタ法を用いることによって、図3で示したように前工程で行われるゲート絶縁膜14の成膜に用いられる成膜装置とのクラスターツール化が容易になる。したがって、半導体装置の生産性の向上を図ることが可能になる。

【0025】(第2実施形態)次に、図4は、第2実施形態を説明するための断面工程図であり、以下にこの図を用いて請求項1、請求項3及び請求項5の発明を適用

したMOSトランジスタを備えた半導体装置の製造方法の第2実施形態を説明する。先ず図4(1)に示すように、B. E. (Bond and Etchback) SOI (Silicon on Insulator)、Smart Cut法(「IEDM, 96(1996)(米)p. 3-10」に記載の方法)等によって、ガラス基板等の絶縁性基板41上に半導体層42を張り合せてなる成膜基板W'を用意する。

【0026】次に、図4(2)に示すように、スパッタ法によってこの半導体層42上に酸化シリコンからなるゲート絶縁膜43を成膜する。ここでは、純度の高いSiO₂をターゲットに用いることとする。上記スパッタにおける成膜条件の一例としては、スパッタリングガス:Ar、成膜雰囲気内ガス圧力:10Pa以下、成膜温度:200℃、成膜膜厚:6nmに設定する。尚、反応性スパッタ法にて酸化シリコンからなるゲート絶縁膜43を成膜する場合には、Ar/O₂中でSiをターゲットに用いることとする。

【0027】その後、スパッタ法によって、このゲート絶縁膜43上にSiGe層44を成膜する。このSiGe層44の成膜は、上記第1実施形態で説明したと同様に行うこととする。ただし、ここでは、ゲート絶縁膜43の成膜とSiGe層44の成膜とを、同一の成膜室内において真空状態を保って連続して行うか、またはゲートバルブを介して接続された異なる成膜室内において真空状態を保って連続して行う。同一の成膜室内でゲート絶縁膜43の成膜とSiGe層44の成膜とを行う場合には、成膜室内に2種類のターゲットを設けることとする。

【0028】以上の後、SiGe層44をパターニングして当該SiGe層44からなるゲート電極44aを形成する。

【0029】その後、図4(3)に示す工程では、上記第1実施形態と同様にしてソース42a及びドレイン42bを形成するための不純物を半導体層42中に導入し、次いで、アニール処理を施して半導体層42中における上記不純物の活性化を図る。ここでは、例えば、波長308nmの塩化キセノン(XeCl)レーザを用いて1shot350mJ/cm²のエネルギーでのELAによる低温化プロセスでのアニール処理を行う。

【0030】その後、図4(4)に示す工程を、上記第1実施形態で図1(4)を用いて説明したと同様に行うことで、MOSトランジスタ4を完成させる。

【0031】上記製造方法によれば、SiGeからなるゲート電極44aが、スパッタ法によって成膜されることで上記第1実施形態と同様の効果を得ることができる。そして、特に、上記スパッタ法によるSiGe層の成膜が200℃程度以下の成膜温度で良くかつソース42a及びドレイン42bの不純物の活性化のためのアニール処理が低温化プロセスで行われることで、絶縁性基板41として低融点の市販ガラス(使用可能温度60

0℃以下、450℃以下で使用)を用いることが可能になる。したがって、半導体装置の製造コストを抑えることが可能になる。

【0032】(第3実施形態)次に、図5を用いて、請求項1、請求項2及び請求項4の発明を適用したMOSトランジスタを備えた半導体装置の製造方法の第1実施形態を説明する。先ず、図5(1)に示すように、第1実施形態と同様の成膜基板W、すなわちシリコン基板11上に酸化シリコンからなる絶縁層12及び単結晶シリコンからなる半導体層13が成膜された成膜基板Wを用意する。そして、この成膜基板W上に、上記第1実施形態で図1(2)を用いて説明したと同様にして、ゲート絶縁膜14及びSiGe層15を順次成膜する。次に、このSiGe層15の成膜に連続させて(すなわち減圧状態を保ったままで)Si層51を成膜する。

【0033】次に、図5(2)に示すように、Si層51及びSiGe層15をパターニングしてゲート電極51aを形成する。次いで、ゲート電極51aの側壁に絶縁性のサイドウォール52を形成、ソース13a及びドレイン13bを形成するための不純物の導入を行った後、ゲート電極51a及びサイドウォール52を覆う状態で半導体層13上にコバルト(Co)やチタン(Ti)のような金属膜53を成膜する。

【0034】次に、図5(3)に示すように、600℃のRTAを施すことによって金属とシリコンとをシリサイド反応させる。これによって、ゲート電極51aの表面層と半導体層13におけるソース13a及びドレイン13bの表面層とにシリサイド層54が形成される。その後、シリサイド反応に寄与しなかった金属膜53部分をエッチング除去し、次いで、シリサイド層54をより低抵抗な相に転移させるために、800℃のRTAを行う。

【0035】以下、図5(4)に示す工程を、上記第1実施形態で図1(4)を用いて説明したと同様に行うことで、ゲート電極51a、ソース13a及びドレイン13bの表面にシリサイド層54を有するMOSトランジスタ5を完成させる。

【0036】上記製造方法においては、上記第1実施形態と同様の効果と共に、低抵抗なシリサイド層54によってコンタクト抵抗が下がり、MOSトランジスタ5の動作速度が高速化されるという効果が得られる。

【0037】尚、第3実施形態で説明した方法では、ゲート絶縁膜14を第2実施形態のようにスパッタ法で成膜しても良い。また、成膜基板Wは、第2実施形態で説明したように、絶縁性基板を用いた構成であっても良い。

【0038】(第4実施形態)次に、図6を用いて請求項6、請求項7及び請求項9の発明を適用した薄膜トランジスタを備えた半導体装置の製造方法の第4実施形態を説明する。

【0039】先ず、図6（1）に示すように、スパッタ法によって、絶縁性基板61上に下層から順にチャンネル層を構成するSiGe層62及びSi層63と、ゲート絶縁膜64と、ゲート電極層65とを成膜する。これらの各層の成膜は、真空雰囲気を保った状態で連続して行われることとする。尚、絶縁性基板61とSiGe層62との間にSi層を形成しても良い。上記Si層63は、SiGe層62で形成されるチャンネル部62cとゲート絶縁膜64との界面におけるトラップ状態密度を改善するための層であり、5nm程度の膜厚に成膜することとする。

【0040】尚、上記ゲート電極層65は、SiまたはSiGeで構成されることとする。ただし、ここで製造する薄膜トランジスタがLCD(Liquid Crystal Display)用である場合には、使用電圧が高めであるのでSiでも良い。また、SiGe層62は、好ましくはSi_{1-x}Ge_xにおけるGeの組成比が $x=0.2\sim0.3$ の範囲の所定値であることとする。

【0041】次に、図6（2）に示すように、ゲート電極層65をパターンニングしてゲート電極65aを形成する。

【0042】その後、図6（3）に示す工程を上記第1実施形態で図1（3）を用いて説明したと同様に行い、SiGe層62とSi層63とにソース62a及びドレイン62bを形成し、ソース62a及びドレイン62b間におけるSiGe層62とSi層63と（すなわち、チャンネル層）にチャンネル部62cを形成する。

【0043】次に、図6（4）に示す工程を上記第1実施形態で図1（4）を用いて説明したと同様に行い、スパッタ法によって成膜したSiGe層62及びSi層63からなるチャンネル部62cを有する薄膜トランジスタ6が形成される。この薄膜トランジスタ6は、トップゲート型になる。

【0044】上記製造方法によれば、スパッタ法によってチャンネル部62cとなるSiGe層62を成膜することで、組成が精度良く制御されたSiGe層62によってチャンネル部62cが構成されることになる。したがって、SiGe層62の組成によってキャリア移動度が良く制御された薄膜トランジスタ6が得られる。

【0045】尚、上記第4実施形態で説明した方法では、ゲート絶縁膜64をRTOによって成膜しても良い。ただし、各成膜層間の汚染を防止するために、絶縁性基板61上の各膜は、クラスターツール化した成膜装置を用いて成膜基板を大気に晒すことなく連続して成膜する。

【0046】また、ここでは、トップゲート型の薄膜トランジスタ6を成膜する場合を例に取って説明を行った。しかし、本発明は、ボトムゲート型の薄膜トランジスタ

*スタの成膜にも適用可能である。この場合、サイドウォールを備えたゲート電極を絶縁性基板上に形成した後、このゲート絶縁膜を覆う状態で絶縁性基板上に下層から順にゲート絶縁膜、チャンネル層を構成するSi層及びSiGe層を成膜する。これらの層は、連続したスパッタ法で成膜するか、またはRTOによってゲート絶縁膜を成膜した後、真空雰囲気を保った状態でSi層及びSiGe層を連続してスパッタ成膜することとする。

【0047】

10 【発明の効果】以上説明したように、請求項1に係る本発明によれば、スパッタ法によって組成精度が良好に成膜されたSiGe層でゲート電極が構成されることになる。このため、SiGe層の組成によってしきい値が良く制御された電界効果トランジスタが得られる。したがって、SiGeゲートを用いた絶縁ゲート型の電界効果トランジスタの微細化が促進される。

【0048】また、請求項6に係る方法によれば、スパッタ法によって組成精度が良好に成膜されたSiGe層でチャンネル層が構成されることになる。このため、SiGe層の組成によってキャリア移動度が良く制御された薄膜トランジスタが得られる。したがって、薄膜トランジスタの動作速度の高速化が達成される。

【図面の簡単な説明】

【図1】第1実施形態を説明する断面工程図である。

【図2】スパッタ成膜に用いる成膜装置の構成図である。

【図3】各実施形態で用いる製造装置の概略構成図である。

【図4】第2実施形態を説明する断面工程図である。

30 【図5】第3実施形態を説明する断面工程図である。

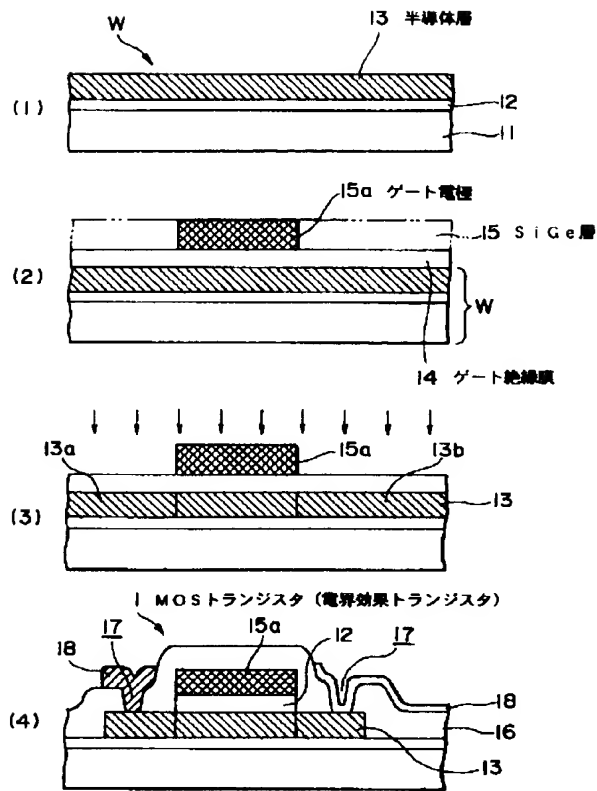
【図6】第4実施形態を説明する断面工程図である。

【図7】SiGeゲートPMOSにおけるGe含有量に対するゲート-半導体層間の仕事関数を示すグラフであり、IEDM, 90(1990)(米)p.256から抜粋したFigure9: Gate-to-semiconductor workfunction difference for poly-Si_{1-x}Ge_x gate PMOS capacitors, extrapolated from measurements of V_{th} vs. oxide thickness. である。

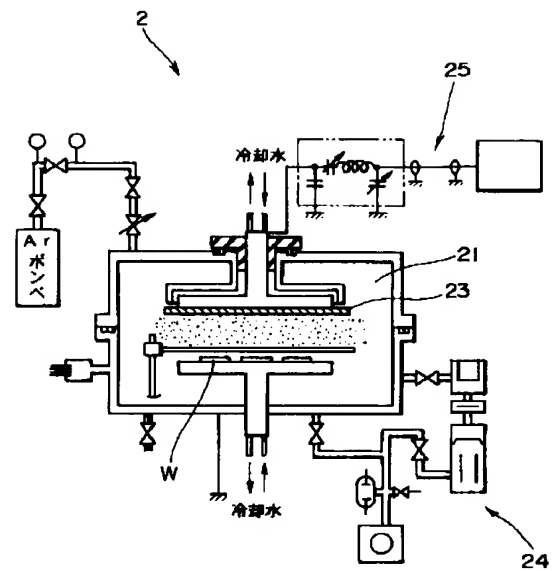
【符号の説明】

40 1, 4, 5…MOSトランジスタ（電界効果トランジスタ）、6…薄膜トランジスタ、13, 42…半導体層、14, 43, 64…ゲート絶縁膜、15, 44, 62…SiGe層（シリコンゲルマニウム層）、15a, 44a, 51a, 65a…ゲート電極、41, 61…絶縁性基板、51, 63…Si層（シリコン層）、53…金属膜、54…シリサイド層、62c…チャンネル部、65…ゲート電極層

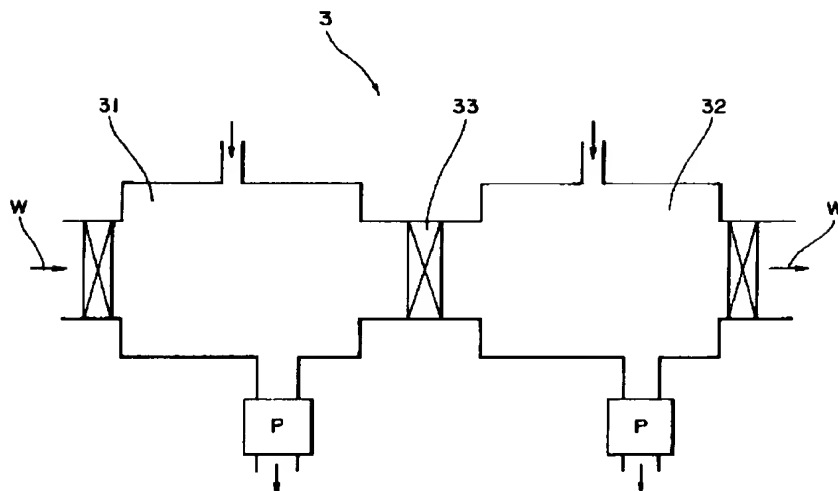
【図1】



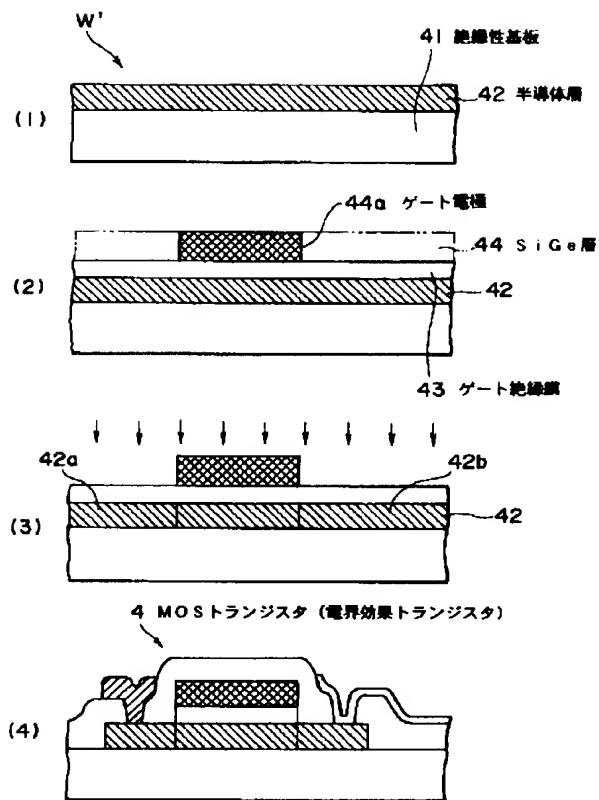
【図2】



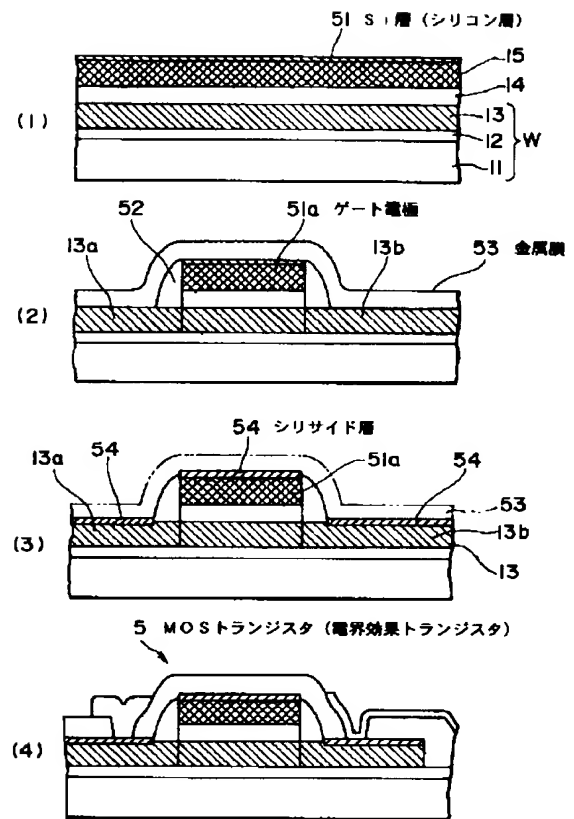
【図3】



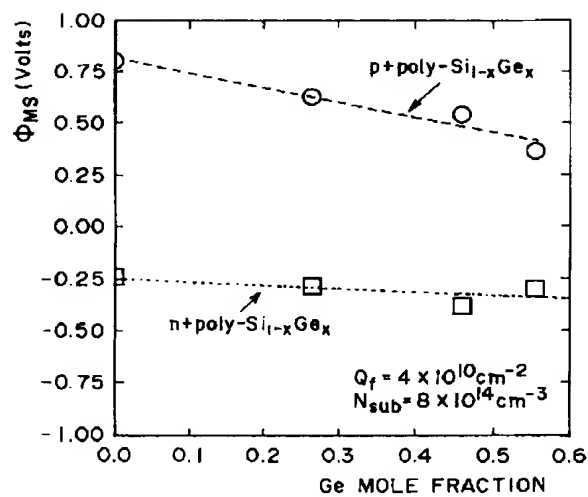
【図 4】



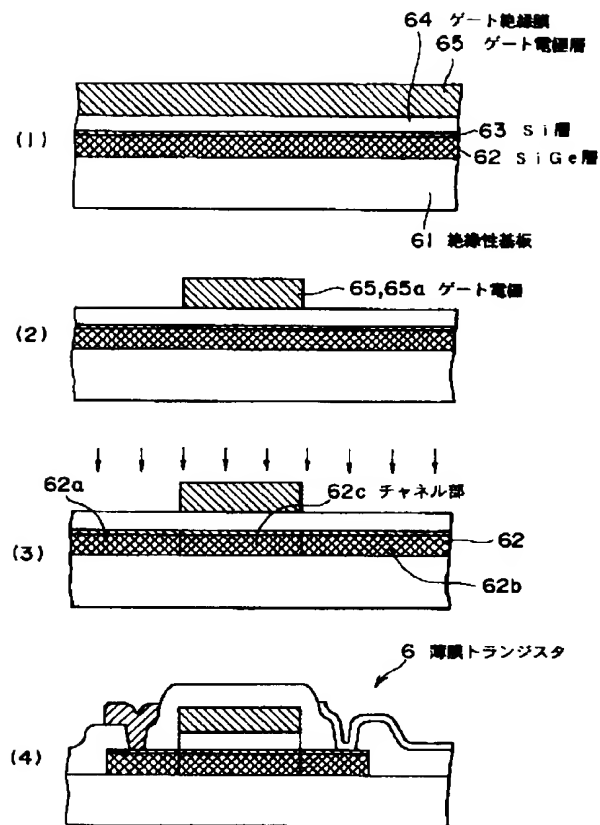
【図 5】



【図 7】



【図6】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 29/78

6 2 7 F

6 2 7 Z